

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-077324

(43)Date of publication of application : 02.04.1991

(51)Int.Cl.

H01L 21/3205

(21)Application number : 01-213643

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 19.08.1989

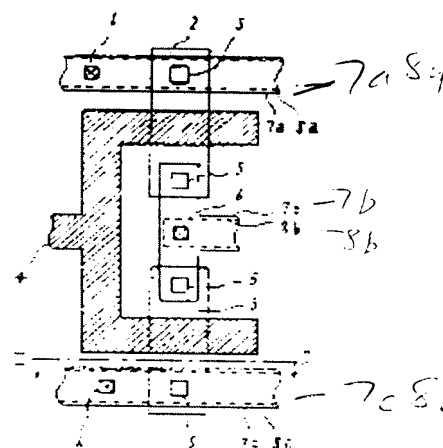
(72)Inventor : SHINOHARA HIROSHI  
KISHI YOSHIYUKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: To increase resistance to electromigration, to make wiring region small and to realize a high integration by a method wherein a semiconductor integrated circuit is provided with a plurality of metal wirings layers and a plurality of wiring lines and the metal wiring are piled up in parallel on the same wiring lines over a plurality of layers and connected to each other via through-holes.

CONSTITUTION: Al metal wiring such as power-supply lines 7a, 8a, signal conductors 7b, 8b, grounding conductors 7c, 8c, and the like are piled up in parallel on the same wirings lines over two layers in a semiconductor integrated circuit substrate which is provided with a plurality of metal wiring layers and a plurality of wiring lines; they are connected to each other via through-holes 6. Widths of the Al wirings 7a, 7b, 7c, 8a, 8b, 8c are narrow as compared with those of conventional metal wirings. The widths of the metal wirings are not made wider but are composed of a plurality of layers. Thereby, an electric current is distributed and a current density is suppressed. Since the widths of the wirings are narrow, the area of the semiconductor integrated circuit becomes small, compared with that of conventional circuits.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-77324

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月2日

H 01 L 21/3205

6810-5F  
6810-5F

H 01 L 21/88

Z  
A

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平1-213643

⑰ 出 願 平1(1989)8月19日

⑱ 発 明 者 篠 原 尋 史 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内  
⑲ 発 明 者 岸 良 行 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社カスタ  
ムエル・エス・アイ設計技術開発センター内  
⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号  
㉑ 代 理 人 弁理士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 複数の金属配線層と複数の配線経路を有する半導体集積回路において、複数の層にわたって同じ配線経路上平行に重ね合わせ、スルーホールを介して互いに接続した多層金属配線手段を備えたことを特徴とする半導体集積回路。

(2) 能動素子を含み、半導体表面上のセル領域を占めるセルを備え、半導体集積回路外部との電気的接続を行うパッドを備え、前記セル及びパッドの占める領域外にあって、セル間及びセルーパッド間を電気的に接続する金属配線を含むセル外配線領域を備えた半導体集積回路において、

セル領域とセル外配線領域にわたる広域配線を有し、この広域配線はセル領域内の少なくとも一部分では前記多層金属配線手段で配線

され、セル外配線領域内の少なくとも一部分では1層金属だけで配線され、前記多層金属配線手段部分の幅の方が、前記1層金属部分の幅よりも狭いことを特徴とする請求項、1記載の半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路の配線レイアウトパターンに関するものである。

〔従来の技術〕

半導体集積回路における配線にはAlやAlとSi、Cuの合金、Wなどの抵抗値の小さい金属を用いることにより電力の損失を少なくしている。第7図は従来の半導体集積回路(インバータ回路)の部分平面図である。図において、(1)は金属配線で、(1a)は電線、(1b)は信号線、(1c)は接地線である。(2)はP<sup>+</sup>拡散領域、(3)はn<sup>+</sup>拡散領域、(4)はポリシリコン、(5)は拡散領域(2)、(3)と金属配線(1a)、(1b)、(1c)を接続するコンタクトホール(5)である。

次に動作について説明する。金属配線(1)に用いられるAl, Al合金等の金属は論理ゲートを構成するシリコン化合物に比べて融点が低く、高温Fや $10^4 \text{A/cm}^2$ の電流密度下ではエレクトロマイグレーションといわれる断線や移動といった現象が起こる。

従来の金属配線(1)ではマイグレーションに対する強化策として、十分な配線幅を設けることによって大電流密度に耐える金属配線(1)にしていた。特に電源線(1a)、接地線(1c)および信号線(1b)の内クロック線等の負荷容量の大きい信号線の配線幅は広く設けて、電流密度が $10^4 \text{A/cm}^2$ 以下になるようにされていた。

〔発明が解決しようとする課題〕

従来の半導体集積回路の金属配線は以上のように構成されていたので、マイグレーションに耐えるに十分な幅を設けることにより半導体集積回路のレイアウト・パターン(マスクパターン)が大きくなるという問題点があった。

本発明は上記のような問題点を解決するために

例である半導体集積回路のインバータ回路の平面図、第2図は第1図における接地線付近II-IIから見た斜視図を示している。なお、図中符号(2)～(5)は前記従来のものと同一につき説明は省略する。

図において、(7a)はAl金属配線で形成された第1層電源線、(8a)は第2層電源線、(7b)第1層信号線、(8b)は第2層信号線、(7c)は第1層接地線、(8c)は第2層接地線、(5)はスルーホールである。なお、第1図および第2図ではAlによる金属配線の例を示したがAl以外にもAlとSi, AlとSiとCu, AlとCu等の合金を用いた金属配線でもよい。

前記従来のものとは異なり、第1図および第2図では電源線(7a), (8a) 信号線(7b), (8b)、接地線(7c), (8c)等のAl金属配線は複数の金属配線層と複数の配線線路を有する半導体集積回路基板中、2層にわたって同一配線線路上平行に重ね合わせ、スルーホール(5)を介して互いに接続されている。又、Al金属配線(7a), (7b), (7c), (8a),

なされたもので、エレクトロマイグレーションに強く、かつ配線領域を小さくし、結果として高集積化を得ることを目的とする。

〔課題を解決するための手段〕

本発明に係る半導体集積回路は複数の金属配線層と複数の配線線路を有し、金属配線を複数層にわたって同一配線線路上平行に重ね合わせ、スルーホールを介して互いに接続するようにしたものである。

〔作用〕

本発明における金属配線は複数層にわたって同一配線線路上平行に重ね合わせスルーホールを介して互いに接続されているので、電流を分配することができるとともに配線幅はエレクトロマイグレーションについて強化しながら狭くすることが可能となり、金属配線幅が狭くでき結果として半導体集積回路の高集積化を計ることができる。

〔実施例〕

以下、本発明に係る半導体集積回路の一実施例を図について説明する。第1図は本発明の一実施

(8b), (8c)の幅は従来の金属配線(1a), (1b), (1c)に比べて狭い。また、第1図および第2図ではスルーホール(5)は1つずつ用いているが2個以上でもよい。Al金属配線線路が枝別れすることを考慮すると、スルーホール(5)は金属配線幅の間隔1で設けるのが有効である。その一例を第3図に示す。

次に半導体集積回路の動作について説明する。従来の配線方法では電流密度を $10^4 \text{A/cm}^2$ 以下に抑えるために金属配線幅を広くしていた。そのため半導体集積回路において金属配線幅の占める面積の割合が大きくなり、結果として半導体集積回路全体の面積は大きくなる。

本実施例では金属配線の幅を広くするのではなく、複数層にすることによって電流を分配し、電流密度を抑えることができる。

第1図および第2図では(7a)～(8a), (7b)～(8b), (7c)～(8c)といった2層の金属配線層の例を示したが、3層以上でもよい。また配線幅が狭いことにより、半導体集積回路の面積は従来のものに比

べて小さくなる。上記実施例では金属配線は全て複数層重ね合わせた場合について説明したが、電源線、接地線、クロック線等の負荷容量の大きい信号線に適用した場合も上記実施例と同様の効果を生ずる。

次に他の実施例について説明する。半導体集積回路を設計する際に、半導体集積回路を基本機能モジュール（セル）から階層的に構築していく、いわゆるセルベース設計方式がある。セルは半導体集積回路設計者によって、トランジスタ1個とか、インバータ回路1個等を1つの基本単位として考えられる。セルベース設計方式によって設計した半導体集積回路の平面図を第4図に示す。この半導体集積回路はトランジスタ等の能動素子を含んだ機能モジュールであるセル(9)と半導体集積回路外部との電気的接続を行うパッド(10)と、セル間及びセル—パッド間を電気的に接続する金属配線を含むセル外配線領域(11)を備えている。図に示すようにセルの形は一般には4角形が多いが、多角形（図では6角形、8角形）でもよい。

したセルを用意することでセルの面積は小さくなり、その結果、半導体集積回路の面積は従来のものによる金属配線を用いた場合よりも小さくなる。特にこの実施例においてセル内配線領域(12)とセル外配線領域(11)の境界近傍において1層金属になっている広域配線について第5図に示す。第5図においてセル内の金属配線(7)、(8)は複数層にわたって同じ配線経路上平行に重ね合わせられ、スルーホール(6)によって互いに接続されている。セル外配線領域(11)における広域配線は従来の配線幅であるが、セル内においては配線幅が狭くなっている。セル内外の境界近傍のセル内においてはセル外配線の幅（従来の配線幅）からセル内の多層金属配線幅へ移行するための形が形成されている。そのいくつかの他の実施例を第6図に示す。第6図においてもスルーホール(6)を1つ又は2つ用いた例を示したが何個設けてもよい。

〔発明の効果〕

以上のように本発明によれば、半導体集積回路

設計には半導体集積回路に要求されるセル(9)を配置する。

配置するセル数は必要に応じて何個でもよい。又、第4図ではセル(9)を7個配置した場合を示したが、各々のセルの機能は同じであっても異なっているもよい。セル(9)を配置した後、セル外配線領域(11)に、セル(9)とセル(9)、セル(9)とパッド(10)を電気的に接続する金属配線（広域配線）(14)がなされる。広域配線(14)はセル内配線領域(12)とセル外配線領域(11)にまたがっているが、セル外配線領域(11)の少なくとも

部分では1層金属だけで配線されている。その理由はセル外配線領域(11)における配線(14)は自動配線プログラムを用いてなされ、この時、複数層にわたる金属配線は第1層金属配線に対して第2層金属配線は垂直方向に配線するといった具合に層を区別して用いるからである。

従来、セル内外にまたがる広域配線(14)はセル内、セル外ともに同じ配線幅であったが、セル内においては第1層～第3層の金属配線手段を適用

における金属配線幅を狭くすることが可能となり、半導体集積回路の面積は小さくなる。又、セル内において多層金属配線手段を適用した場合についてもそのセルの面積は小さくなり、その結果、半導体集積回路に多くのセルを組み込むことが出来るので、回路の高集積化につながる。又、金属配線は同じ配線経路上、複数層にわたって平行に重ね合わされてスルーホールによって接続されているので、エレクトロ・マイグレーションに強い配線となるなどの効果が得られる。

#### 4. 図面の簡単な説明

第1図は本発明に係る半導体集積回路の一実施例を示したインバータ回路の平面図、第2図は第1図のII—II線より見た斜視図、第3図は本発明に係る多層金属配線におけるスルーホールの間隔についての例を示した平面図で、スルーホール(6)は金属配線幅の間隔で設けている。第4図はセルベース設計方式により設計された本発明の他の実施例を示した半導体集積回路の平面図、第5図は本発明に係るセル内外の境界近傍の金属

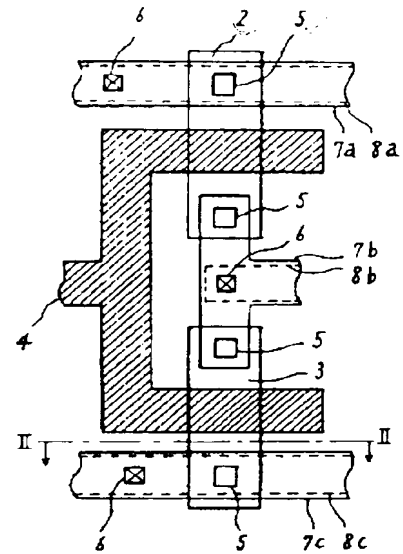
配線を示した拡大説明図、第6図(a)～(h)はセル内外の境界近傍の金属配線の他の実施例を示した部分平面図、第7図は従来の半導体集積回路を示した平面図である。

図において、(6)はスルーホール、(7)は2層の金属配線を重ねた時の第1層金属配線、(8)は第2層金属配線、(9)はセルである。

なお、図中、同一符号は同一、または相当部分を示す。

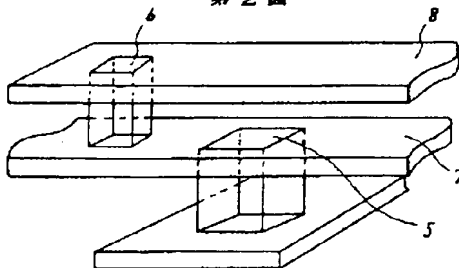
代理人 大 岩 増 雄

第1図



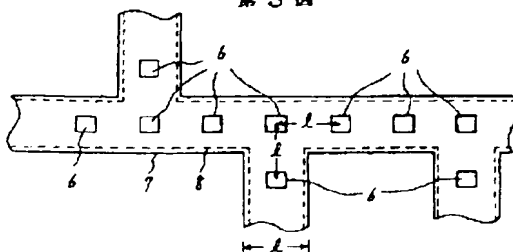
- |                        |            |
|------------------------|------------|
| 2: P <sup>+</sup> 拡散領域 | 7a: 第1層電源線 |
| 3: N <sup>+</sup> 拡散領域 | 8a: 第2層電源線 |
| 4: ポリシリコン              | 7b: 第1層信号線 |
| 5: コンタクトホール            | 8b: 第2層信号線 |
|                        | 7c: 第1層接地線 |
|                        | 8c: 第2層接地線 |

第2図



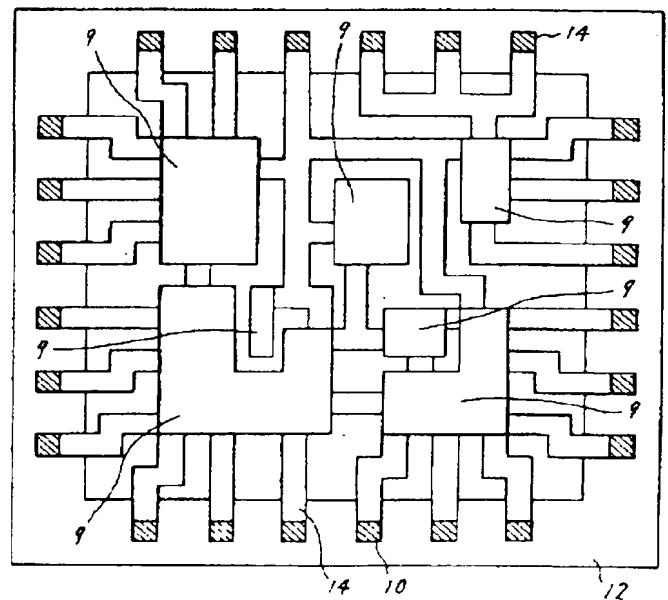
- 6 スルーホール  
7: 第1層金属配線(接地線)  
8: 第2層金属配線(接地線)

第3図



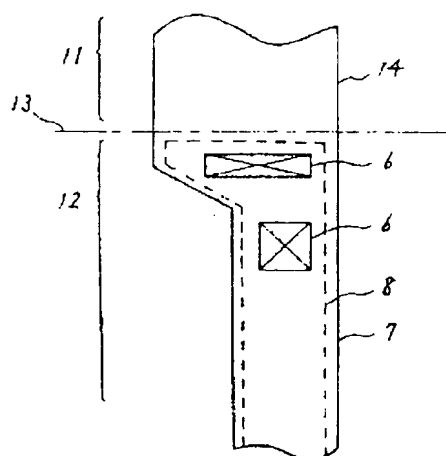
- 6 スルーホール  
7 第1層金属配線  
8 第2層金属配線

第4図



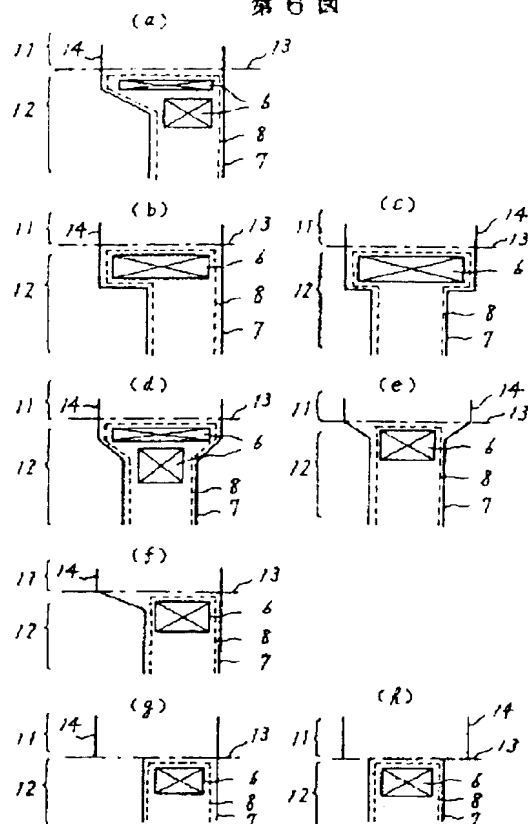
- 9: セル  
10: パッド  
12: 回路基板  
14: 広域配線

第5図



- 6: スルーホール  
7: 第1層金属配線  
8: 第2層金属配線  
11: セル外配線領域  
12: セル内配線領域  
13: セル内外境界  
14: 広域配線

第6図



第7図

